



GRADO EN INGENIERÍA ELECTRÓNICA DE COMUNICACIONES

Curso 2022-23

Ficha de Trabajo Fin de Grado

DEPARTAMENTO:	Arquitectura de Computadores y Automática		
TÍTULO:	Fabricación de Core RISC-V por medio de Herramientas Open-Source		
TITLE:	Fabricating a RISC-V core by means of Open-Source Tools		
SUPERVISOR/ES:	Alberto Antonio del Barrio y Guillermo Botella		
E-MAIL SUPERVISOR/ES:	abarriog@ucm.es , gbotella@ucm.es		
NÚMERO DE PLAZAS:	1		
TIPO DE TFG:	Experimental ☒	Bibliográfico ☐	Simulación ☐
ASIGNACIÓN DE TFG:	Selección directa ☐	Selección por expediente ☒	

Objetivos:

El objetivo del presente proyecto es preparar los ficheros necesarios para fabricar un core RISC-V gracias al programa Efabless Open MPW Program [1], esponsorizado por Google y que cuenta con el apoyo tecnológico de Skywater para fabricar con tecnologías de 130 nm.

En concreto, se trabajará sobre el core open-source PERCIVAL [2-3], desarrollado por el grupo de investigación ArTeCS [2]. Dicho core parte del Ariane/CVA6 [4], un core que implementa una ISA RV64GC, es decir, incluye punto flotante de precisión simple y doble. PERCIVAL integra además extensiones para ejecutar instrucciones con números reales representados con el novedoso formato posit [5-7], aka unum-v3, introducido por John Gustafson en 2017. Dicho formato posee un mayor rango dinámico que los tradicionales formatos en punto flotante según el estándar IEEE-754 y tanto en aplicaciones científicas [7] como en aplicaciones relacionadas con el Machine Learning [6] ha mostrado su mayor precisión.



Metodología:

La metodología de trabajo consistirá en seguir las instrucciones definidas en [1] para crear un proyecto válido que pueda ser enviado al Open MPW program en 2023, con el objetivo de que sea compatible para ser fabricado con la tecnología de SkyWater. Para ello se utilizarán solamente herramientas de código abierto, a saber:

- SkyWater Open PDK: <https://github.com/google/skywater-pdk>
- OpenLane RTL2GDS Compiler: <https://github.com/efabless/openlane>
- Caravel Harness: <https://github.com/efabless/caravel>
- Caravel User Project: https://github.com/efabless/caravel_user_project
- Open MPW Precheck: https://github.com/efabless/open_mpw_precheck

ACTIVIDADES FORMATIVAS:

Ninguna prevista. Se fomentará la autonomía del estudiante en el desarrollo del proyecto.

BIBLIOGRAFÍA:

- [1] https://efabless.com/open_shuttle_program/
- [2] <https://github.com/artecs-group/PERCIVAL>
- [3] Mallasén, D., Murillo, R., Del Barrio, A.A., Botella, G., Piñuel, L., Prieto, M.: PERCIVAL: Open-Source Posit RISC-V Core with Quire Capability pp. 1–11 (nov 2021), <https://arxiv.org/abs/2111.15286>
- [4] F. Zaruba and L. Benini, “The Cost of Application-Class Processing: Energy and Performance Analysis of a Linux-Ready 1.7-GHz 64-Bit RISC-V Core in 22-nm FDSOI Technology,” IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 27, no. 11, pp. 2629–2640, Nov. 2019.
- [5] J. L. Gustafson and I. T. Yonemoto, “Beating floating point at its own game: Posit arithmetic,” Supercomputing Frontiers and Innovations, vol. 4, no. 2, pp. 71–86, Apr. 2017.
- [6] R. Murillo, A. A. Del Barrio, and G. Botella, “Deep PeNSieve: A deep learning framework based on the posit number system,” Digital Signal Processing, vol. 102, p. 102762, Jul. 2020.
- [7] R. Murillo, D. Mallasén, A. A. Del Barrio, and G. Botella, “Energy-Efficient MAC Units for Fused Posit Arithmetic,” in 2021 IEEE 39th International Conference on Computer Design (ICCD), Oct. 2021, pp. 138–145.